

PAT-NO: JP411110280A

DOCUMENT-IDENTIFIER: JP 11110280 A

TITLE: SEMICONDUCTOR MEMORY SYSTEM

PUBN-DATE: April 23, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
TODA, HARUKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP09269779

APPL-DATE: October 2, 1997

INT-CL (IPC): G06F012/00, G11C007/00 , G11C011/401

ABSTRACT:

PROBLEM TO BE SOLVED: To construct a system that can simply perform a decision of a timing of a strobe signal for a data fetch and can cope with any flight time.

SOLUTION: A longest flight time measurement circuit 33 consists of a delay part 34 which delays a system clock CK and whose delay time is controlled by a return clock from a dual inline memory module(DIMM) and a delay register part 35 for storing delay condition in this delay part 34. Another delay part 36 is provided, contents of a delay register part 35 is inputted to this delay part 36, which is controlled so that a delay equal to that of the delay part 34 is generated. An output of this delay part 36 is given to a control buffer 38 for receiving read-out data DQ from the DIMM as a data fetch signal.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-110280

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁹

識別記号

F I

G 0 6 F 12/00

5 6 4

G 0 6 F 12/00

5 6 4 A

G 1 1 C 7/00

3 1 3

G 1 1 C 7/00

3 1 3

11/401

11/34

3 6 2 Z

審査請求 未請求 請求項の数12 O L (全 12 頁)

(21) 出願番号 特願平9-269779

(22) 出願日 平成9年(1997)10月2日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 戸田 春希

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

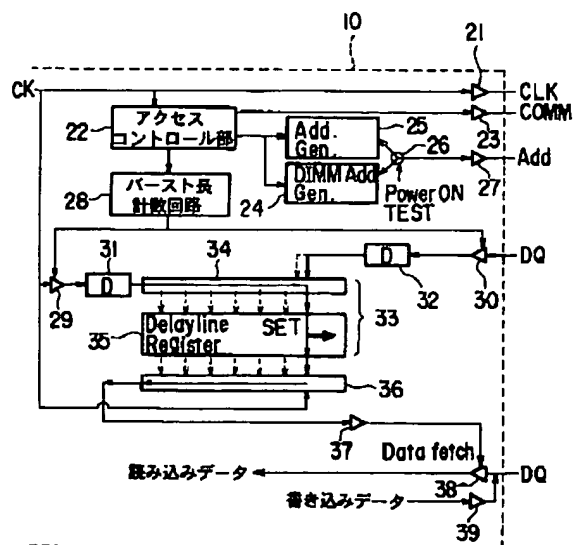
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体メモリシステム

(57) 【要約】

【課題】 データフェッチのためのストローブ信号のタイミングの決定を容易に行うことができ、どのようなフライトタイムにも対応できるシステムを構成することができることを特徴とする。

【解決手段】 最大フライトタイム測定回路33は、システムクロックCKを遅延し、その遅延時間がD I M Mからのリターンクロックで制御される遅延部34と、この遅延部34における遅延状態を記憶する遅延レジスタ部35とから構成される。別の遅延部36が設けられ、この遅延部36には遅延レジスタ部35の内容が入力され、先の遅延部34と同等の遅延が生じるように制御される。この遅延部36の出力は、D I M Mからの読み出しデータDQを受けるコントロールバッファ38にデータフェッチ信号として与えられる。



【特許請求の範囲】

【請求項1】 メモリ及びこのメモリを制御するコントローラとを有し、上記コントローラはシステムクロックに同期して上記メモリにアクセスし、あるアドレスからデータを読み出してコントローラに取り込み、あるアドレスへのデータのアクセスにおいてデータ出力開始のクロックからそのアドレスのデータが取り込み可能になるまでの時間であるフライトタイムがアドレスによって異なる半導体メモリシステムにおいて、

上記コントローラは、

上記メモリに保持されたデータの一連のアクセスを始める前に、一連のアクセスのフライトタイムの異なるアドレスのフライトタイムの最大値を測定し、レジスタの状態として保持する最大値測定手段と、

一連のデータアクセスの際に、上記最大値測定手段で測定され、保持されたレジスタの状態に基づいて、データ出力開始のクロックを上記フライトタイムの最大値に相当する時間だけ遅延して、データ取り込みを行うタイミング信号を発生するタイミング信号発生手段とを備えていることを特徴とする半導体メモリシステム。

【請求項2】 前記メモリが、複数のメモリチップを有するメモリモジュールであることを特徴とする請求項1に記載の半導体メモリシステム。

【請求項3】 前記最大値測定手段は、一連のアクセスの際にも、その都度フライトタイムを測定し、フライトタイムの最大値に応じてレジスタの状態が更新されるように構成されていることを特徴とする請求項1又は2に記載の半導体メモリシステム。

【請求項4】 前記最大値測定手段は、前記メモリがデータ出力と同期して出力する制御信号を用いて前記フライトタイムの最大値を測定することを特徴とする請求項1ないし3のいずれか1つに記載の半導体メモリシステム。

【請求項5】 メモリ及びこのメモリを制御するコントローラとを有し、上記コントローラはシステムクロックに同期して上記メモリにアクセスし、あるアドレスからデータを読み出してコントローラに取り込み、あるアドレスへのデータのアクセスにおいてデータ出力開始のクロックからそのアドレスのデータが取り込み可能になるまでの時間であるフライトタイムがアドレスのグループによって異なる半導体メモリシステムにおいて、上記コントローラは、

上記メモリに保持されたデータの一連のアクセスを始める前に、一連のアクセスの各グループ毎のフライトタイムの異なるアドレスのフライトタイムそれぞれの最大値を測定し、レジスタの状態として保持する複数の最大値測定手段と、

一連のデータアクセスの際に、アクセスするグループに応じて対応する上記複数の最大値測定手段で測定され、保持されたレジスタの状態に基づいて、データ出力開始

のクロックを上記フライトタイムの最大値に相当する時間だけ遅延して、データ取り込みを行うタイミング信号を発生する複数のタイミング信号発生手段を備えていることを特徴とする半導体メモリシステム。

【請求項6】 前記メモリが、複数のメモリチップを有するメモリモジュールであることを特徴とする請求項5に記載の半導体メモリシステム。

【請求項7】 前記複数の各最大値測定手段は、一連のアクセスの際にも、そのアクセスのグループ毎のフライトタイムを測定し、グループ毎のフライトタイムの最大値に応じて各レジスタの状態が更新されるように構成されていることを特徴とする請求項5又は6に記載の半導体メモリシステム。

【請求項8】 前記モジュール間でアクセスが切り替わるときに、モジュール間のフライトタイムの時間差をクロックサイクルタイムで割った値を越えない最大の整数に1を加えたサイクルの間、データ出力を全てのモジュールで行わないように制御する制御手段をさらに具備したことを特徴とする請求項6に記載の半導体メモリシステム。

【請求項9】 前記最大値測定手段は、クロックを伝達する第1の遅延線と、クロックが上記第1の遅延線を通じた状態をその部分の遅延線の出力に応じて記憶するレジスタ部とを有し、

前記タイミング信号発生手段は、上記クロックが供給され、遅延時間が上記レジスタ部の記憶内容に応じて設定される第2の遅延線を有することを特徴とする請求項1ないし8のいずれか1つに記載の半導体メモリシステム。

【請求項10】 メモリと、上記メモリに保持されたデータの一連のアクセスを始める前に、第1のクロックを上記メモリに出力するクロック出力手段と、

上記第1のクロックを遅延し、上記第1のクロックを受けた上記メモリからのデータ読み出しに同期して上記メモリから出力される第2のクロックを受けた後にリセットされる第1の遅延手段と、

上記第1の遅延手段のリセット直前の遅延状態を記憶する記憶手段と、

上記第1のクロックが供給され、遅延時間が上記記憶手段の記憶内容に応じて設定される第2の遅延線とを具備したことを特徴とする半導体メモリシステム。

【請求項11】 前記クロック出力手段は、一連のアクセスの際にも、前記第1のクロックを前記メモリに出力するように構成されていることを特徴とする請求項10に記載の半導体メモリシステム。

【請求項12】 前記メモリからの読み出しデータを前記第2の遅延線の出力に同期して取り込むデータ取り込み手段をさらに具備したことを特徴とする請求項10に記載の半導体メモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はSDRAM（シンクロナスDRAM）とそのコントローラが実装されたボード上でデータ転送を行う半導体メモリシステムに係り、特に高速な信頼性のある同期型データ転送を実現する半導体メモリシステムに関する。

【0002】

【従来の技術】半導体メモリはパソコン等を実装される際にDIMM（Dual Inline Memory Module）として使用されるのが一般的である。すなわち、DIMMでは、図16の平面図に示すようにメモリチップ81が8個とか16個実装され、DIMM基板両面にプリントされたコネクタピン82を通してデータや信号の入出力が行われる。また、パソコン等におけるメモリボードでは、一般に4個のDIMMが実装可能なように、4個のソケットと、DIMMを制御するコントローラとを備えている。図17は、コントローラ83とDIMMとが搭載されたメモリボードの概念図を示している。コントローラ83からはDIMM（DIMM1～DIMM4）上のメモリチップを同期して制御するための共通のクロックCLKが各DIMMに送られる。また、各DIMMからは共通のデータバスを介して64ビットのデータがコントローラ83へ同時転送される。

【0003】

【発明が解決しようとする課題】このようなコントローラとDIMMとを備えた半導体メモリシステムにおいて問題となるのが、コントローラがどのようなタイミングでDIMMからのデータをフェッチするかということである。コントローラと各DIMMとの間の距離はそれぞれ異なるので、クロックCLK及びデータのフライトタイムが異なり、コントローラがどのDIMMにアクセスしたかでデータのフェッチタイミングが異なってくる。

【0004】図18のタイミングチャートを用いてこの事情を説明する。図18では図17中のDIMM1とDIMM4のアクセス状況を示している。この場合、各DIMMは、データを101010…というように異なるデータを交互に出力する。

【0005】コントローラについては、データが出力されることを期待するクロックCLKを先頭にしてCLKを示しており、図中の矢印はその先頭クロックからのフライトタイムを示している。コントローラがDIMM1からデータを受け取る場合と、DIMM4から受け取る場合とで、共通のデータフェッチタイミングを作るには、図中、斜線を施した期間（データウィンドウ）内にストロブ信号を立てることが必要である。しかし、このデータウィンドウはボードの状態やDIMMの実装状態によって変化し、場合によってはDIMM間で共通のデータウィンドウをとることが不可能な場合も生じてしまう。このようなデータフェッチのためのストロブ信

号のタイミングの決定方式と、どのようなフライトタイムにも対応できるシステムをどう作るかが高速なメモリボードのシステムを実現上で問題点となる。

【0006】この発明は上記のような事情を考慮してなされたものであり、その目的は、データフェッチのためのストロブ信号のタイミングの決定を容易に行うことができると共に、どのようなフライトタイムにも対応できるシステムを構成することができ、もって高速なメモリボードのシステムが実現できる半導体メモリシステムを提供することである。

【0007】

【課題を解決するための手段】この発明の半導体メモリシステムは、メモリ及びこのメモリを制御するコントローラとを有し、上記コントローラはシステムクロックに同期して上記メモリにアクセスし、あるアドレスからデータを読み出してコントローラに取り込み、あるアドレスへのデータのアクセスにおいてデータ出力開始のクロックからそのアドレスのデータが取り込み可能になるまでの時間であるフライトタイムがアドレスによって異なる半導体メモリシステムにおいて、上記コントローラは、上記メモリに保持されたデータの連続のアクセスを始める前に、連続のアクセスのフライトタイムの異なるアドレスのフライトタイムの最大値を測定し、レジスタの状態として保持する最大値測定手段と、連続のデータアクセスの際に、上記最大値測定手段で測定され、保持されたレジスタの状態に基づいて、データ出力開始のクロックを上記フライトタイムの最大値に相当する時間だけ遅延して、データ取り込みを行うタイミング信号を発生するタイミング信号発生手段とを備えていることを特徴とする。

【0008】この発明の半導体メモリシステムは、メモリ及びこのメモリを制御するコントローラとを有し、上記コントローラはシステムクロックに同期して上記メモリにアクセスし、あるアドレスからデータを読み出してコントローラに取り込み、あるアドレスへのデータのアクセスにおいてデータ出力開始のクロックからそのアドレスのデータが取り込み可能になるまでの時間であるフライトタイムがアドレスのグループによって異なる半導体メモリシステムにおいて、上記コントローラは、上記メモリに保持されたデータの連続のアクセスを始める前に、連続のアクセスの各グループ毎のフライトタイムの異なるアドレスのフライトタイムそれぞれの最大値を測定し、レジスタの状態として保持する複数の最大値測定手段と、連続のデータアクセスの際に、アクセスするグループに応じて対応する上記複数の最大値測定手段で測定され、保持されたレジスタの状態に基づいて、データ出力開始のクロックを上記フライトタイムの最大値に相当する時間だけ遅延して、データ取り込みを行うタイミング信号を発生する複数のタイミング信号発生手段を備えていることを特徴とする。

【0009】この発明の半導体メモリシステムは、メモリと、上記メモリに保持されたデータの一連のアクセスを始める前に、第1のクロックを上記メモリに出力するクロック出力手段と、上記第1のクロックを遅延し、上記第1のクロックを受けた上記メモリからのデータ読み出しに同期して上記メモリから出力される第2のクロックを受けた後にリセットされる第1の遅延手段と、上記第1の遅延手段のリセット直前の遅延状態を記憶する記憶手段と、上記第1のクロックが供給され、遅延時間が上記記憶手段の記憶内容に応じて設定される第2の遅延線とを具備したことを特徴とする。

【0010】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態について説明する。まず、この発明の半導体メモリシステムで使用されるDIMMの構成例について、図1を用いて説明する。なお、図1ではDIMM上のSDRAMチップは省略してある。この発明の半導体メモリシステムでは、SDRAMはデータ出力と同時にリターンクロックとしてのDQSを出力する。例えば、64ビットのデータ幅のDIMMに搭載された各SDRAMはDQS出力を持つが、DIMM全体としては4つのDQSピンを持つことになる。また、各SDRAMからデータを読み出す際に入力するクロックCLKも4つのピンを持つ。従って、1つのクロックCLKとリターンクロックDQSが受け持つデータビット長数は16となる。

【0011】図2ないし図5は、SDRAMの様々な構成と、その構成のチップを用いて構成した様々なDIMMの例を示す平面図である。なお、図2ないし図5において一点鎖線を施した領域は図1のDIMMの半分の部分に相当している。

【0012】図2に示した×16のSDRAMは、DIMM上に4個のバンク(4 Banks)を有し、16個のSDRAMチップが搭載されている。図はDIMMの半分について示している。secondary side(裏面)はDIMMの基板を透かしてみたイメージであり、primary side(表面)と基板を挟んで表裏両面にSDRAMチップが実装されている。この例では、×16のSDRAMチップが全部で16個搭載されているので、DIMMのデータ幅64ビットでは同時に4チップとのみデータの授受を行えば良く、全体で4バンク構成となる。各バンクに割り当てられたチップをB0、B1、B2、B3として示すが、それぞれ1つのCLKピン、DQSピンは各バンクを構成する4チップに図示のように共通に接続されることになる。

【0013】図3に示した×8のSDRAMは、DIMM上に2個のバンクを有し、16個のSDRAMチップが搭載されている。図はDIMMの半分について示している。secondary sideはDIMMの基板を透かしてみたイメージであり、primary sideと基板を挟んで表裏両面

にSDRAMチップが実装されている。この例では、×8のSDRAMチップが全部で16個搭載されているので、DIMMのデータ幅64ビットでは同時に8チップとのみデータの授受を行えば良く、全体で2バンク構成となる。各バンクに割り当てられたチップをB0、B1として示すが、1つのCLKピンは4チップまとめて、DQSピンは2チップまとめて図示のように接続されることになる。

【0014】図4に示した×16のSDRAMは、DIMM上に2個のバンクを有し、DIMMの片面についてのみ示している。primary sideのみに8個のチップが実装される。この例では、×16個のSDRAMチップが全部で8個搭載されているので、DIMMのデータ幅64ビットでは同時に4チップとデータの授受を行えばよく、全体で2バンク構成となる。各バンクに割り当てられたチップをB0、B1として示すが、1つのCLKピン及びDQSピンは各2バンクを構成する2チップに図示のように共通に接続されることになる。

【0015】図5に示した×8のSDRAMはDIMM上に1個のバンクを有し、primary sideのみに8個のSDRAMチップが搭載されている。この例では、×8のSDRAMチップが全部で8個搭載されているので、DIMMのデータ幅64ビットでは同時に全てのチップとデータの授受を行い、全体で1バンク構成となる。1つのCLKピンは4チップに共通に接続され、DIMM全体ではCLKピンは2ピンのみを使用され、残りの2ピンはチップには接続されない場合が示してある。1つのDQSピンは1チップのみに図示のように接続されることになる。

【0016】以上、どのDIMMでも、DIMMからの16ビットのデータ幅に対して1つのDQSがDIMMからデータに同期して戻ってくることになる。本発明では、データと共にDQSが各DIMMからコントローラに戻ってくるようなシステムで、このDQSをコントローラがデータをフェッチするタイミングを作るための信号として利用する。

【0017】図6はこの発明に係る半導体メモリシステムの第1の実施の形態による全体のブロック構成を示している。この半導体メモリシステムは、図示のようにコントローラ10といくつかのDIMM(本例ではDIMM1～DIMM4の4個)とから構成されている。コントローラ10は、アクセスに際し各DIMMに対してクロックCLKを出力する。各DIMMはそれぞれこのクロックCLKに同期してデータの読み出し動作を行う。そして、各DIMMからはデータDQとリターンクロックDQSがコントローラ10に戻ってくる。

【0018】図7は、図6に示した半導体メモリシステムにおけるデータ読み出し時のタイミングチャートである。なお、図では、説明の都合上、2個のDIMM1、DIMM4のタイミング関係についてのみ示している。

7

DIMM1はクロックCLK(DIMM1)を受け、このクロックCLKに同期してデータDQを出力すると同時にリターンクロックDQSを出力する。DIMM4はこれより遅れて、CLK(DIMM4)を受けてデータDQを出力すると同時にリターンクロックDQSを出力する。

【0019】コントローラ10が受けるデータDQとリターンクロックDQSとは図7中の下側に示されているようになる。リターンクロックDQSはデータDQと同期しているから、コントローラ10のアクセス要求のクロックCLKからリターンクロックDQSまでの遅れ時間を測定すれば、データフェッチのためのストロブ信号を立てるタイミングを設定することができる。ただし、コントローラ10が受けるリターンクロックDQSは、DIMM相互間のフライトタイムによるスキューがあるため、図中の時間 f_s で示された後にストロブ信号を立てなければならない。すなわち、最も遅く戻ってくるリターンクロックDQSの直後にデータをフェッチすれば、どのDIMMへのアクセスでも確実にそのデータをフェッチできる。すなわち、図中、破線を施した部分のタイミングでストロブを立てれば良い。しかし、この部分は非常に狭い時間の範囲で正確にストロブ信号を立てる必要があり、データと共に戻ってくるリターンクロックDQSをリアルタイムで使用してフェッチタイミングを発生することは難しい。そこで、リターンクロックDQSをフライトタイムを測定する信号として利用して、コントローラ内部でタイミングを正確に発生させることが必要になる。このような制御を行う制御回路の構成を図8に示す。この制御回路は、前記図6中のコントローラ10内に設けられている。

【0020】メモリを搭載したシステムでは、電源を立ち上げてシステムを実際に動作させる前にメモリテストなどの動作(パワーオンテスト)を行うのが普通である。このメモリテストの期間に各DIMMにコントローラからアクセスを行い、リターンクロックDQSのフライトタイムを測定し、最大のフライトタイムを検出するのが、この制御回路である。

【0021】図8において、CKはシステム動作の基本となるシステムクロックである。このクロックCKは、バッファ21でバッファされ、DIMMアクセスのためのクロックCLKとして前記各DIMMに出力される。22はアクセスコントロール部であり、このアクセスコントロール部22でコマンドCOMMとアクセスの先頭となるクロックCLKの指定がなされる。コマンドCOMMは、バッファ23でバッファされ、前記各DIMMに出力される。また、アクセスコントロール部22からの信号でメモリをアドレス指定するためのアドレスAddが作られるが、パワーオンテスト時には異なるDIMMのアドレスが全て発生されるようなアドレス発生回路(DIMM Add Gen)24からアドレス信号が

8

出力される。通常動作時には、アクセスコントロール部22からの信号でメモリをアドレス指定するためのアドレスAddがアドレス発生回路(Add Gen)25から出力される。上記両アドレス発生回路24、25の出力は、スイッチ回路26により、パワーオンテスト時と通常動作時とで選択され、さらにバッファ27でバッファされて、前記各DIMMにアドレスとして出力される。

【0022】また、上記アクセスコントロール部22からの出力はバースト長計数回路28に入力される。このバースト長計数回路28はフライトタイムを計測するタイミングを設定するもので、例えばメモリアクセスの先頭クロックの次のサイクルから最大データのバースト長-1サイクルの間の時間に相当する時間を計数する。このようにバースト長計数回路28で、先頭クロックのサイクルから計数を開始しない理由は、リターンクロックDQSがきちんと0101…の矩形波波形となっており計測を開始するためである。このバースト長計数回路28によりフライトタイム計測の時間が計数される。そして、このバースト長計数回路28からの出力で2個のコントロールバッファ29、30の動作が制御される。

【0023】上記両コントロールバッファ29、30は、上記バースト長計数回路28で上記時間の計数が行われている期間に動作可能状態とされ、動作状態のときに一方のバッファ29は上記システムクロックCKをバッファし、また、他方のバッファ30はメモリから出力されるリターンクロックDQSをバッファする。上記両バッファ29、30の出力は、等価な遅延時間Dを持つ波形整形回路31、32を介して、最大フライトタイム測定回路33に入力される。

【0024】上記最大フライトタイム測定回路33は、上記バッファ29及び波形整形回路31を介して入力されるシステムクロックCKを遅延し、上記バッファ30及び波形整形回路32を介してリターンクロックDQSが入力した時点でリセットされる遅延部34と、上記遅延部34の遅延状態が入力され、上記遅延部34のリセット直前の遅延状態を記憶する遅延レジスタ部(delay line register)35とから構成されている。

【0025】36は上記遅延部34と同様の構成を持つ遅延部であり、この遅延部36は、上記遅延レジスタ部35の内容が入力されることにより、上記遅延部34と同等の遅延が生じるように制御される。そして、この遅延部36には上記システムクロックCKが入力され、先の遅延部34で生じた遅延時間と同等の遅延時間を持つ遅延を上記システムクロックCKに与える。上記遅延部36の出力はバッファ37でバッファされ、コントロールバッファ38にデータフェッチ信号として与えられる。このコントロールバッファ38はデータフェッチ信号が与えられたときに、前記DIMMからの読み出しデ

ータDQをフェッチし、読み込みデータとして取り込まれる。なお、図8中のバッファ39は、前記DIMMに対してデータの書き込みを行う際に書き込みデータをバッファし、DQとして出力するバッファである。

【0026】このような構成のコントローラにおいて、最大フライトタイム測定回路33では、注目アクセスのクロックCKが遅延部34上を伝播する。一方、この注目クロックのリターンクロックであるDQSを受けて、遅延部34がリセットされると同時に遅延部34の状態が遅延レジスタ部35にセットされる。この遅延レジスタ部35のセットは各DIMMについて行われ、遅延部34上を最も遅くまで信号が伝播した状態が遅延レジスタ部35にオーバーライトされることになる。そして、遅延レジスタ部35にセットされた状態は、最もフライトタイムがかかった場合のフライトタイムに相当する遅延状態となる。コントローラからDIMMへの通常のデータアクセスにおいては、この状態が利用されることになる。

【0027】すなわち、システムクロックCKはバッファ21を経由してクロックCLKとしてDIMMに入力されると共に遅延部36にも入力されているので、この遅延部36における最大のフライトタイムの遅延後に、遅延部36から出力されて、データフェッチ信号となる。このタイミングでは、前記図7に示したようにデータを確実にフェッチすることができる。

【0028】なお、遅延レジスタ部35のセット動作は通常のアクセス時も続けて行われるようにしても構わない。これは遅延レジスタ部35は常に最大の遅延状態を保持するようになっているからで、通常アクセス時でもシステムの状態によるフライトタイムの最大値をセットして確実なデータフェッチができるようになる。

【0029】図8に示したコントローラでは回路規模を比較的小さくすることができる。しかし、図7から分かるように、各DIMMのフライトタイムのばらつきが大きく、図中のスキューがクロックのサイクルタイムを越すと、図中、斜線で示した時間帯を設定することができなくなってしまう、データフェッチができなくなる場合がある。

【0030】次にこの発明の他の実施の形態について説明する。この実施の形態では先の実施の形態による不都合を取り除くようにしたものである。前記図6に示したように、データバスであるDQ及びDQSのバスは全てのDIMMに共通であるので、アクセス時間をDIMM相互間で切り替えるときには、バスでのデータ等の衝突を避けるために何サイクルかバスにデータを出力しない期間を設けてデータの衝突を避けるようにする。コントローラ側から見ると、この期間はデータ転送にギャップができるために、データ転送の効率を下げる時間となる。そこで、この期間をできるだけ短くして、しかもデータの衝突を避けながら、確実にデータをフェッチでき

るシステムが必要になる。また、このDIMM相互間をアクセスが移る際のデータギャップサイクルがあるために、フライトタイムをDIMM毎に考慮してデータをフェッチすることが可能となる。

【0031】図9に、DIMMの1サイクルのアクセスの後、続けてDIMMをアクセスする場合のタイミングチャートを示した。図中で太い線で示したクロックサイクルは、バスにデータを出力しないサイクルである。リターンクロックDQSもデータDQ出力と同時に有効でないときには高インピーダンス状態に設定している。このために、データアクセスの先頭サイクルではリターンクロックDQSは中間状態から1への変化となり、フライトタイムを測定する信号としてはこの先頭サイクルは使用できない。しかし、このようにリターンクロックDQSを変化させることにより、DIMM切り替え時のギャップサイクルを最小にすることができる。先頭サイクルから0、1変化のリターンクロックDQSを作るには、先頭サイクルの1つ前のサイクルでリターンクロックDQSは0の低インピーダンス状態となっていなければならない、このサイクル分のバス衝突を避けるためにギャップサイクルが増えることになるからである。

【0032】図9のタイミングチャートにおける上の部分は図7に対応するものであり、バスにデータを出力しないサイクルが各DIMMにどう伝わりコントローラへのデータに反映してくるかを見るものである。従って、図7と同様に全てのDIMM（図ではDIMM1とDIMM4のみ示している）が同時にデータを出力しているように示している。また、図7と同様に全てのDIMMのフライトタイムを満足するデータフェッチのウィンドウに斜線を施している。

【0033】また、図9のタイミングチャートにおける下の部分は、コントローラが見た状態であり、図中の太い線で示した部分がバスでの衝突が起こらないようにコントロールされたサイクルであり、データDQ及びリターンクロックDQSの高インピーダンス状態に対応している。2つのDIMMからのバス状態が低インピーダンス状態で重なってはいけいない。フライトタイムのスキューによって、この太い線の部分のサイクルを何サイクルとればよいかが決まるが、図9はフライトタイムのスキューは1サイクル以下の場合であるので、高インピーダンス状態に設定する太い線の部分は1サイクルで十分となっている。

【0034】このように制御されていると、DIMM毎にフライトタイムを考慮してデータのフェッチタイミングを設定することができ、図9中の下半分に斜線を施したようなデータフェッチのウィンドウが得られる。フライトタイムのスキューが無視できて、クロックCLKとリターンクロックDQS、リターンクロックDQSとデータDQ等の間のタイミングのスキューを無視すれば、サイクルタイムをほぼデータフェッチウィンドウとして

利用できることになる。

【0035】なお、フライトタイムのスキューを δ とし、クロックのサイクルタイムを T とすれば、異なるフライトタイム間でデータDQやリターンクロックDQSが低インピーダンスで衝突しないようにするために高インピーダンス状態として指定するサイクル数(全てのDIMMでデータを出力しないクロックサイクルの数)は $(\delta/T$ を越えない最大の整数) $+1$ サイクルとなる。

【0036】図10は上記のような制御を行う制御回路の構成を示す。この制御回路は、前記図6中のコントローラ10内に設けられている。すなわち、この図10に示したコントローラ10は、DIMM毎または信号のフライトタイムが大きく異なるアクセスブロック毎にフライトタイムを測定して、データのフェッチタイミングを形成する例である。このコントローラ10には、基本的には図8に示した回路内で、フライトタイムを測定し、この測定結果に基づいてシステムクロックCKを遅延する回路部分が、DIMM毎に設けられている。すなわち、各DIMM、またはフライトタイムが大きく異なるアクセスブロック毎に、フライトタイムの測定回路を設けて、これらフライトタイムの測定回路を切り替えようとしている。なお、パワーオンテスト時にはまず全てのDIMMがアクセスされるようにアドレスを発生するのは図8の場合と同じである。従って、図8に対応した回路部分には同じ符号を付してその説明は省略し、図8のものとは異なる箇所のみを説明する。

【0037】この実施の形態のコントローラでは、新たに、DIMMのアドレス毎に最大フライトタイム測定回路33を切り替えるための切り替え信号B0、B1、B2、…をバースト長計数回路28で発生させている。また、DIMMへのアドレスAddとコマンドCOMMとに基づいて、どのDIMMに対してアクセスが行うのかを検出するアドレスデコーダ(DIMM Add Dec)40をDIMMのアドレス毎に設けている。さらに、上記各アドレスデコーダ40の出力に基づいて前記システムクロックCKを前記遅延部36に出力制御するコントロールバッファ41をDIMMのアドレス毎に設けている。そして、各遅延部36の出力F0、F1、…はOR回路42を介して前記コントロールバッファ38に入力されている。

【0038】このような構成によれば、コントロールバッファ38の制御信号であるデータDQをフェッチするためのデータフェッチ信号は、DIMM毎または信号のフライトタイムが大きく異なるアクセスブロック毎に測定されたフライトタイムのうち最大のフライトタイムに基づいて発生される。

【0039】次に上記図8、図10中で用いられる回路の具体的な構成例について説明する。図11は前記最大フライトタイム測定回路33及び遅延部36の両方を含む回路の具体的な構成を示しており、図中、破線で囲ま

れた部分がこの両方の回路に該当している。すなわち、この回路では複数の遅延ユニット51が多段縦続接続されている。

【0040】また、信号DQS'、信号CK'及びCKは、前記リターンクロックDQS及びシステムクロックCKから、アドレス情報に基づいてスイッチされ、入力される信号を示している。信号DQS'は前記波形整形回路30を通過することによって信号dqsとなり、さらにこの信号dqsがインバータ52で反転されることにより、信号/dqsとなる。そして、この信号/dqsが上記各段の遅延ユニット51にそれぞれ入力される。

【0041】また、信号CK'は前記波形整形回路29を通過することによって信号CLとなる。この信号CLは、多段縦続接続された複数の遅延ユニット51の初段に入力される。

【0042】また、各段の遅延ユニット51には信号P、/Pがそれぞれ入力される。この信号P、/Pは、信号dqsが立ち上がった時点で幅dを持つパルス信号を発生して、前記遅延部34に相当する回路をリセットするための信号であり、図12に示されるように、信号dqsを遅延する遅延時間dの遅延回路53と、この遅延回路53の出力と上記信号/dqsが入力されるNOR回路54と、このNOR回路54の出力を反転するインバータ55とから構成されている。

【0043】図11中の各遅延ユニット51の具体的な回路を図13に示す。この遅延ユニット51には、前記一方の遅延部34を構成する2個のクロックドインバータ56、57と1個のインバータ58とからなる回路が設けられている。上記一方のクロックドインバータ56は、入力端子が接地電位に接続されて、常時、0が入力され、上記信号Pが1のとき(信号/Pが0のとき)に動作して入力信号を反転し、出力する。上記他方のクロックドインバータ57は、入力端子に上記信号CLが入力され、上記信号/Pが1のとき(信号Pが0のとき)に動作して信号CLを反転し、出力する。上記両クロックドインバータ56、57の出力端子はインバータ58の入力端子に共通に接続され、このインバータ58の出力信号dCLが次段の遅延ユニット51に入力される。

【0044】また、遅延ユニット51には、前記遅延レジスタ部35を構成するNAND回路59、状態保持部60及びインバータ61からなる回路が設けられている。上記NAND回路59には上記信号/dqaとCLとが入力され、上記インバータ61にはパワーオン信号Power ONが入力される。上記状態保持部60はセット端子、リセット端子及びQ、/Qの相補出力端子を有し、セット端子及びリセット端子には上記NAND回路59及びインバータ61の出力信号がセット信号/S及びリセット信号/Rとして入力される。

【0045】さらに、遅延ユニット51には、前記遅延

13

レジスタ部36を構成する2個のクロックインバータ62、63と1個のインバータ64とからなる回路が設けられている。上記一方のクロックインバータ62は、後段の遅延ユニット51から出力される信号d d C Kが入力され、対応する遅延ユニット51内の状態保持部60の出力信号Qが1のとき（信号/Qが0のとき）に動作して入力信号を反転し、出力する。上記他方のクロックインバータ63は、前記信号C K[〃]が入力され、対応する遅延ユニット51内の状態保持部60の出力信号/Qが1のとき（信号Qが0のとき）に動作して入力信号を反転し、出力する。上記両クロックインバータ62、63の出力端子はインバータ64の入力端子に共通に接続され、このインバータ64の出力信号d C Kが前段の遅延ユニット51に入力される。

【0046】遅延レジスタ部35では、信号/Pが1のときにクロックインバータ57が動作し、クロックインバータ57とインバータ58を信号C Lが通過することによって、遅延された信号d C Lが得られる。信号Pが1のときは、クロックインバータ57が非動作状態となり、代わりにクロックインバータ56が動作状態となる。このとき、このクロックインバータ56には入力信号として0が入力されており、このクロックインバータ56の出力信号が1になるので、信号d C Lは0となり、リセットされる。

【0047】遅延レジスタ部35では、信号/d q sが1（信号d q sが0）で信号C Lが1とこのとき、NAND回路59の出力信号であるセット信号/Sが0となり、状態保持部60がセットされる。この後、信号d q sが1に立ち上がったとしても、NAND回路59は再びセット信号/Sを出力しない。

【0048】一方、パワーオン信号Power ONが入力されると、インバータ61の出力信号であるリセット信号/Rが0となり、状態保持部60がリセットされる。遅延レジスタ部36では、状態保持部60の出力信号Qが1のときは先の遅延レジスタ部33と同様に、クロックインバータ62とインバータ64を信号d d C Kが通過することによって、遅延された信号d C Kが得られるが、状態保持部60の出力信号/Qが1のときは、その遅延ユニット51に入力されている信号C K[〃]を前段の遅延ユニット51に伝える。

【0049】図14は、図13中の状態保持部60の内部回路構成を示している。この回路は、電源電圧の供給ノードと接地電圧のノードとの間にソース、ドレイン間が直列に挿入されたpチャネルMOSトランジスタ71、nチャネルMOSトランジスタ72、73と、同じく電源電圧の供給ノードと接地電圧のノードとの間にソース、ドレイン間が直列に挿入されたpチャネルMOSトランジスタ74、nチャネルMOSトランジスタ75、76とから構成されている。そして、上記トランジスタ71、73の両ゲートには前記セット信号/Sが、

14

上記トランジスタ74、76の両ゲートには前記リセット信号/Rがそれぞれ入力され、上記トランジスタ71、72の直列接続ノードの信号は前記出力信号Qとして出力されると共に上記トランジスタ75のゲートに入力され、上記トランジスタ74、75の直列接続ノードの信号は前記出力信号/Qとして出力されると共に上記トランジスタ72のゲートに入力される。

【0050】このような構成の状態保持部60は、基本的にはフリップフロップ回路であり、セット信号/Sが0になると、トランジスタ71がオンして、出力信号Qが1となる。このとき、リセット信号/Rは1であり、トランジスタ76はオンしている。そして、出力信号Qが1になると、トランジスタ75がオンし、出力信号/Qは0となる。セット信号/Sが1の状態、リセット信号/Rが0になると、上記の場合とは反対に、出力信号Qが0になり、/Qが1になる。

【0051】図15は、上記図11ないし図14に示された回路で発生される各信号のタイミング関係を示している。この例はバースト長が2の場合を示している。また、クロックC L KからD I M M 1のデータが戻ってくるまでのフライトタイムをΔ1、D I M M 4のデータが戻ってくるまでのフライトタイムをΔ4で示してある。リターンクロックD Q Sのバースト動作の最初の信号は、前記のように高インピーダンスの中間レベルから1へ遷移するので、信号として遷移がはっきりしない可能性があり、2番目以降のD Q Sの遷移を使うことになる。従って、フライトタイムを測定するクロックは内部クロックC LからD Q Sまでで、この遅延量がΔ1、Δ4となる。遅延部34のリセット信号Pは、D Q S（d q s）の立ち上がりでパルスとして発生され、遅延ユニット51の出力信号を全て0にして状態保持部60のセット状態がさらに進行してしまわないようにしている。

【0052】なお、上記説明ではフライトタイムの測定にリターンクロックD Q Sを用いる場合について説明したが、これはD Q Sを用いずに、データを書き込む煩わしさが許容できるならば、データとして010101…の交互パターンをD I M Mに書き込んで読み出せば、D QデータそのものをリターンクロックD Q Sの代わりに用いることができるというまでもない。

【0053】

【発明の効果】以上説明したようにこの発明によれば、データフェッチのためのストロブ信号のタイミングの決定を容易に行うことができると共に、どのようなフライトタイムにも対応できるシステムを構成することができ、もって高速なメモリボードのシステムが実現できる半導体メモリシステムを提供することができる。

【図面の簡単な説明】

【図1】この発明の半導体メモリシステムで使用されるD I M Mの構成例を示す図。

【図2】SDRAMチップを用いて構成したD I M Mの

例を示す平面図。

【図3】SDRAMチップを用いて構成したDIMMの例を示す平面図。

【図4】SDRAMチップを用いて構成したDIMMの例を示す平面図。

【図5】SDRAMチップを用いて構成したDIMMの例を示す平面図。

【図6】この発明に係る半導体メモリシステムの第1の実施の形態による全体のブロック構成図。

【図7】図6に示した半導体メモリシステムにおけるデータ読み出し時のタイミングチャート。

【図8】図6中のコントローラ内に設けられた制御回路の回路図。

【図9】この発明に係る半導体メモリシステムの他の実施の形態におけるデータ読み出し時のタイミングチャート。

【図10】この発明に係る半導体メモリシステムの他の実施の形態による制御回路の回路図。

【図11】図8及び図10中の最大フライトタイム測定回路及び遅延部の両方を含む回路の具体的な構成図。

【図12】図11中の回路で使用される信号を発生する回路を示す図。

【図13】図11中の各遅延ユニットの具体的な回路を示す図。

【図14】図13中の状態保持部の内部回路構成を示す図。

【図15】図11ないし図14に示された回路で発生される各信号のタイミング関係を示すタイミングチャー

ト。

【図16】DIMMの一般的な構成を示す平面図。

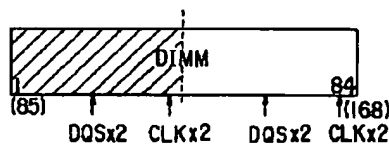
【図17】コントローラとDIMMとが搭載された従来のメモリボードの概念図。

【図18】図17に示す従来のメモリボードにおけるデータ読み出し時のタイミングチャート。

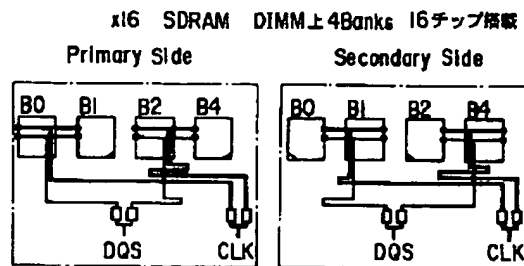
【符号の説明】

10…コントローラ、
DIMM1～DIMM4…DIMM
21、23、27、37、39…バッファ、
22…アクセスコントロール部、
24…アドレス発生回路(DIMM Add Gen)、
25…アドレス発生回路(Add Gen)、
26…スイッチ回路、
28…バースト長計数回路、
29、30、38、41…コントロールバッファ、
31、32…波形整形回路、
33…最大フライトタイム測定回路、
34、36…遅延部、
35…遅延レジスタ部、
40…アドレスデコーダ(DIMM Add Dec)、
42…OR回路、
51…遅延ユニット、
56、57、62、63…クロックドインバータ、
59…NAND回路、
60…状態保持部。

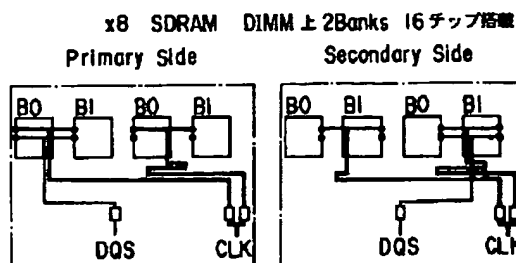
【図1】



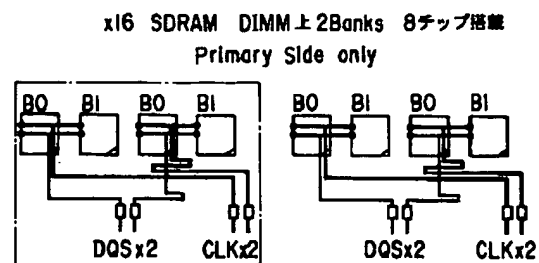
【図2】



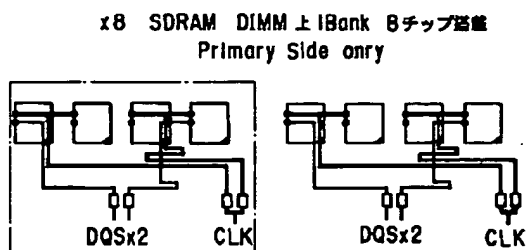
【図3】



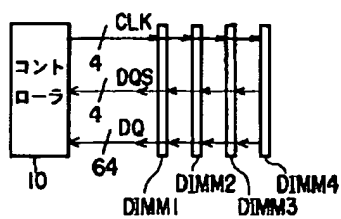
【図4】



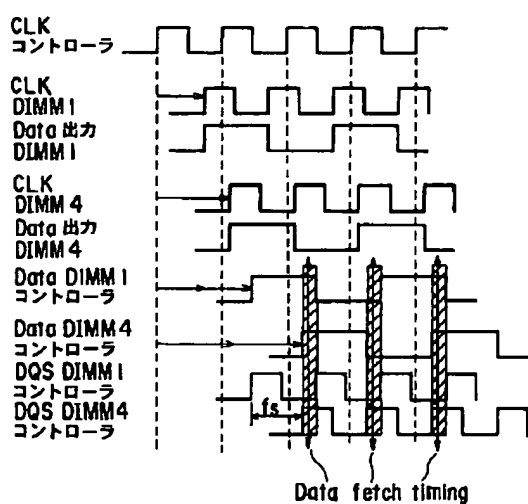
【図5】



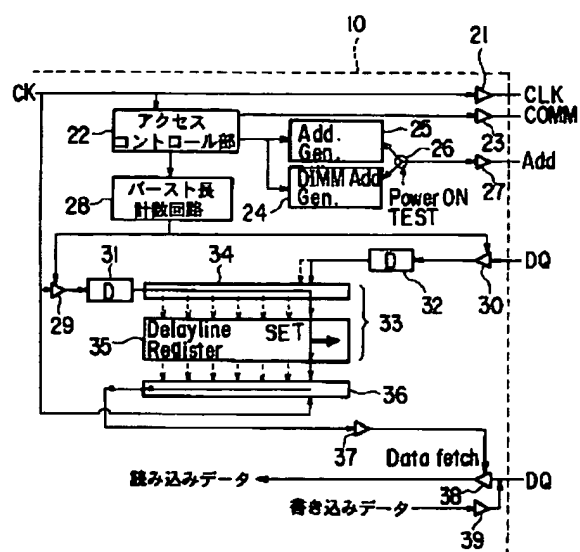
【図6】



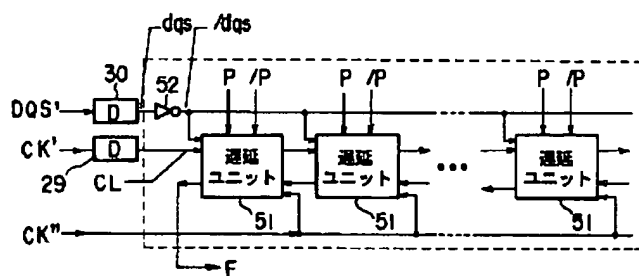
【図7】



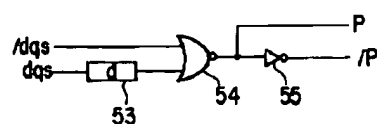
【図8】



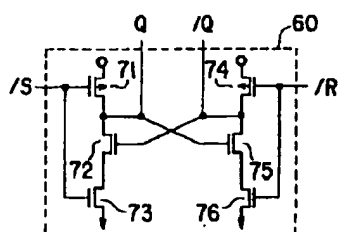
【図11】



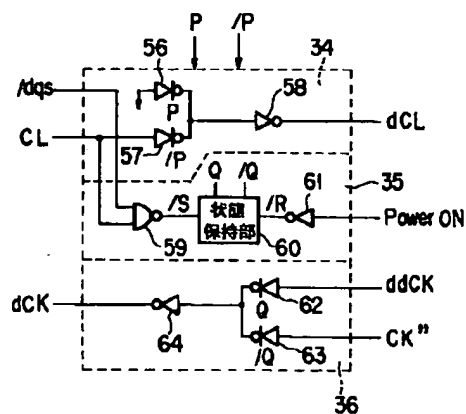
【図12】



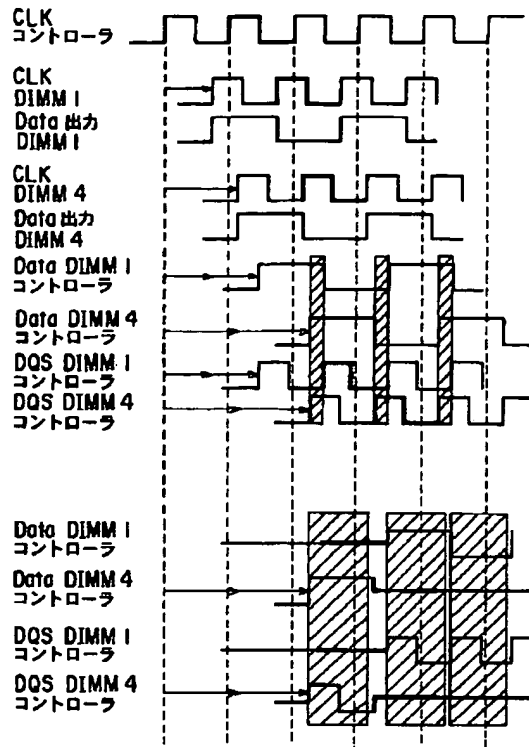
【図14】



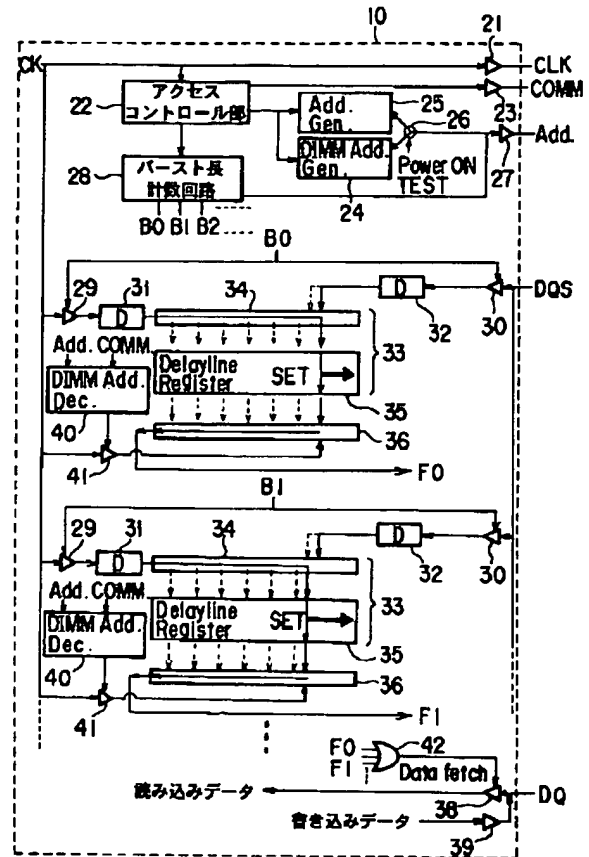
【図13】



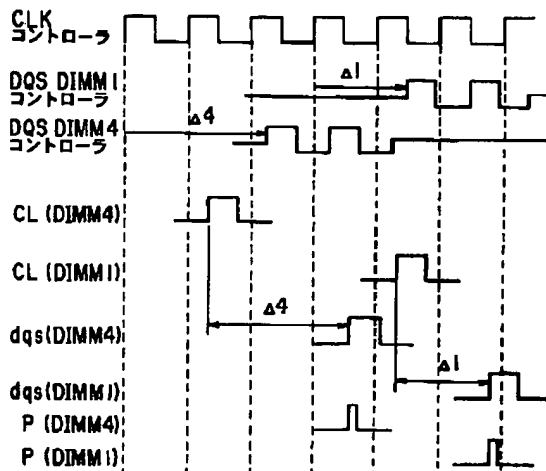
【図9】



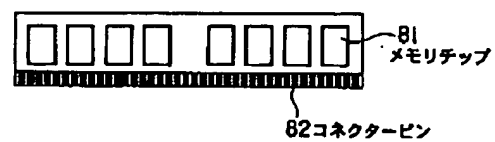
【図10】



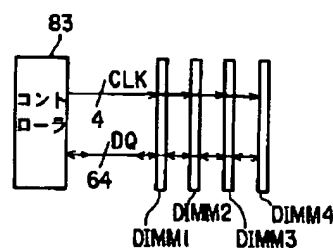
【図15】



【図16】



【図17】



【図18】

